

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-090655  
(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

G02F 1/1333  
G02F 1/136

(21)Application number : 08-244572  
(22)Date of filing : 17.09.1996

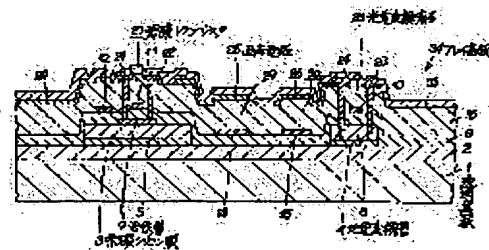
(71)Applicant : TOSHIBA CORP  
(72)Inventor : MARUNO MOTOSHI

## (54) DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the display device which prevents a light leak current without increasing processes and lowering performance.

**SOLUTION:** On a glass substrate 1, a thin film transistor 27 for display, a pixel electrode 25, and a thin film transistor 28 for photodetection which senses light input are arranged in matrix. The thin film transistor 27 for display is formed across an amorphous silicon film 3 and an insulating film 5. The thin film transistor 28 for photodetection has an amorphous silicon film 3, so the intensity of the light of a light pen may be about 1/10 as large as that of the case wherein polycrystalline silicon is used. The active layer of the thin film transistor 27 for display is formed of polycrystalline silicon, so the light from the light pen which is made incident from the side of a glass substrate 1 can be suppressed with the amorphous silicon film 3 of about 1 in OD1 (replacing transmissivity appearing in OD(optical density) with means of transmissivity in wavelength range of light of back light). The amorphous silicon film 3 of the thin film transistor 27 for display and the photoelectric converting layer 4 of the thin film transistor 28 for photodetection are formed in the same process.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

**Japanese Publication for Unexamined Patent Application****No. 90655-1998 (Tokukaihei 10-90655)****A. Relevance of the above-identified Document**

This document has relevance to claims 1 and 8 of the present application.

**B. Translation of the Relevant Passages of the Document****[EMBODIMENTS]**

[0031]

A switch 51 is provided on the first signal line 31, and the switch 51 is controlled by an X driver 52, and a Y driver 52 is connected to the scanning line 12. Further, a display thin film transistor 27 is connected to a vicinity of each intersecting point of the scanning line 12 and the first signal line 31. A gate electrode 11 of the display thin film transistor 27 is connected to the scanning line 12, and a source electrode 21 of the display thin film transistor 27 is connected to the first signal line 31, and a drain electrode 22 of the display thin film transistor 27 is connected to a transparent pixel electrode 25 and to an auxiliary capacitor 29.

[0032]

Further, when a line between the gate electrode 11 and the source electrode 21 is turned ON, a current flows in a line between the source electrode 21 and the drain electrode 22, so that each potential of

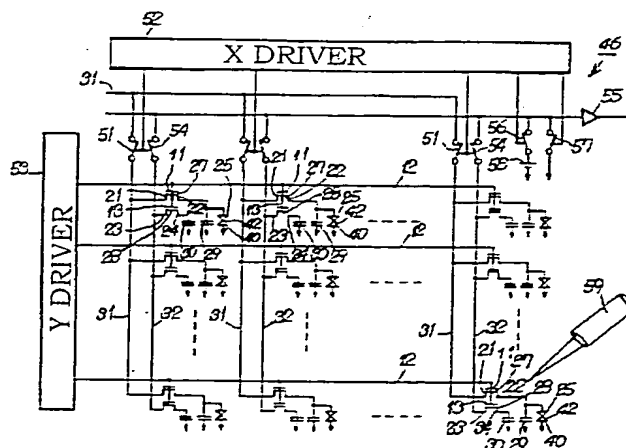
**THIS PAGE BLANK (USPTO)**

the auxiliary capacitor 21 and the pixel electrode 25 becomes equal to a signal potential. As a result, a signal voltage is applied to the liquid crystal so as to control the device. Further, a transparent counter electrode 40 is provided opposite to the pixel electrode 25 as in the counter substrate 41, and the liquid crystal 42 is provided between the pixel electrode 25 and the counter electrode 40.

[0033]

Further, a second signal line 32 is provided so as to correspond to the first signal line 31, and a switch 52 is provided on the second signal line 32, and the switch 54 is controlled by the X driver 52, and the second signal line 32 is connected to a light receiving circuit (not shown) and an amplifier 55, and is connected or grounded to a power source 58 via the switch 56 or the switch 57. Further, in the vicinity of each intersecting point of the scanning line 12 and the second signal line 32, a light receiving thin film transistor 28 is provided so as to correspond to each display thin film transistor 27. A gate electrode 13 of the light receiving thin film transistor 28 is connected to the scanning line 12, and a source electrode 23 of the light receiving thin film transistor 28 is connected to the second signal line 32, and a drain electrode 24 of the light receiving thin film transistor 28 is connected to the storage capacitor 30.

FIG. 4



**THIS PAGE BLANK (USP 10)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-90655

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.<sup>6</sup>

G 0 2 F 1/1333  
1/136

識別記号

5 0 0

F I

G 0 2 F 1/1333  
1/136

5 0 0

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号

特願平8-244572

(22) 出願日

平成 8 年 (1996) 9 月 17 日

(71) 出願人 000003078

株式会社東芝

神奈川県横浜市幸区堀川町72番地

(72) 発明者 丸野 元志

神奈川県横浜市磯子区新杉田町 8 株式会  
社東芝横浜事業所内

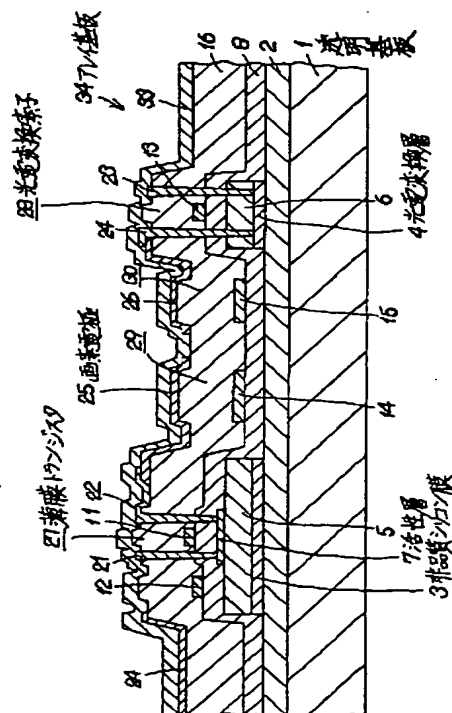
(74) 代理人 弁理士 樺澤 襄 (外 2 名)

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 工程を増加することなく性能を低下させず光リーク電流を防止した表示装置を提供する。

【解決手段】 ガラス基板 1 上に、表示用の薄膜トランジスタ 27、画素電極 25 および光入力を感じ取る受光用の薄膜トランジスタ 28 をマトリクス状に配設する。表示用の薄膜トランジスタ 27 は、非晶質シリコン膜 3 および絶縁膜 5 を介して形成する。受光用の薄膜トランジスタ 28 が非晶質シリコン膜 3 を有しているので、ライトペンの光の強度は多結晶シリコンの場合に比べて 10 分の 1 程度でよい。表示用の薄膜トランジスタ 27 の活性層が多結晶シリコンであるので、OD1 が 1 程度の非晶質シリコン膜 3 で、ガラス基板 1 側から入射するライトペンからの光を抑えられる。表示用の薄膜トランジスタ 27 の非晶質シリコン膜 3 と受光用の薄膜トランジスタ 28 の光電変換層 4 を同一工程で形成する。



(2)

## 【特許請求の範囲】

【請求項1】 透明基板上に形成された多結晶半導体層を含む活性層を有する薄膜トランジスタおよび光電変換層を有する光電変換素子、薄膜トランジスタにより制御される画素電極を含む単位画素をマトリクス状に配設したアレイ基板と、このアレイ基板に対向して設けられた対向基板とを具備した表示装置において、前記薄膜トランジスタの活性層と前記透明基板との間に介挿された非晶質シリコン膜を備え、前記光電変換層は、この非晶質シリコン膜と同一工程で形成された非晶質シリコン膜であることを特徴とする表示装置。

【請求項2】 非晶質シリコン膜は、膜厚が500オングストロームないし1000オングストロームであることを特徴とする請求項1記載の表示装置。

【請求項3】 非晶質シリコン膜は、光学的濃度が可視光領域で1程度であることを特徴とする請求項1または2記載の表示装置。

【請求項4】 アレイ基板の対向基板とは反対側の面に配設されたバックライトを具備したことを特徴とする請求項1ないし3いずれか記載の表示装置。

【請求項5】 マトリクス状に配設された信号線および走査線を有し、画素電極は、前記信号線および走査線とオーバーラップしていることを特徴とする請求項1ないし4いずれか記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、画素電極を駆動する薄膜トランジスタおよび光電変換素子を備えた表示装置に関する。

## 【0002】

【従来の技術】近年、液晶表示装置は薄型、低消費電力、高画質の画像表示装置として需要も活発化しており、さらに、バックライトの光などにより画素電極に光リーク電流が生じて表示性能が低下することを防止する装置として、たとえば特開平7-176748号公報に記載の構成が知られている。

【0003】この特開平7-176748号公報に記載の構成は、絶縁性の透明基板上に多結晶シリコン膜の活性層を有する薄膜トランジスタを配設し、この薄膜トランジスタおよび透明基板上に非晶質シリコン膜を介挿してマトリクスアレイ基板を構成している。

【0004】そして、たとえばマトリクスアレイ基板の背面側にバックライトを配設した場合にも、非晶質シリコン膜により薄膜トランジスタへのバックライトからの光を遮光し、薄膜トランジスタの多結晶シリコン膜の活性層に光が照射されることを防止して、リーク電流が流れることを防止し、表示品質の低下を防止している。

## 【0005】

【発明が解決しようとする課題】しかしながら、上述のように、薄膜トランジスタおよび透明基板間に単に非晶質シリコン膜を介挿するのでは、遮光のためのみに非晶質シリコン膜を形成しなければならず工程が増加する問題を有している。

【0006】本発明は、上記問題点を鑑みなされたもので、工程を増加することなく性能を低下させず光リーク電流を防止した表示装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明は、透明基板上に形成された多結晶半導体層を含む活性層を有する薄膜トランジスタおよび光電変換層を有する光電変換素子、薄膜トランジスタにより制御される画素電極を含む単位画素をマトリクス状に配設したアレイ基板と、このアレイ基板に対向して設けられた対向基板とを具備した表示装置において、前記薄膜トランジスタの活性層と前記透明基板との間に介挿された非晶質シリコン膜を備え、前記光電変換層は、この非晶質シリコン膜と同一工程で形成された非晶質シリコン膜であるものである。

【0008】そして、薄膜トランジスタに遮光する非晶質シリコン膜と同一工程で形成することにより、製造工程を複雑化せず、また、非晶質シリコン膜は、高温にも耐えられ、導電率も低く、簡単に成膜できるとともに、多結晶シリコンや単結晶シリコンに比べて可視光に対する吸収係数が大きく、たとえばバックライトあるいはライトペンから照射される光を抑える遮光膜を薄くできる。さらに、活性層が多結晶半導体の薄膜トランジスタは、高移動度であり、駆動回路も基板上に組み込める利点がある。

【0009】また、非晶質シリコン膜は、膜厚が500オングストロームないし1000オングストロームであるもので、光学的濃度を可視光領域で1程度に容易に設定可能である。

【0010】さらに、非晶質シリコン膜は、光学的濃度が可視光領域で1程度であるものである。

【0011】またさらに、アレイ基板の対向基板とは反対側の面に配設されたバックライトを具備したもので、バックライトの光による光リーク電流も防止する。

【0012】また、マトリクス状に配設された信号線および走査線を有し、画素電極は、前記信号線および走査線とオーバーラップしているため、光抜けを防ぎ、光リーク電流を防止する。

## 【0013】

【発明の実施の形態】以下、本発明の表示装置の一実施の形態を図面に示す画像入力装置を参照して説明する。

【0014】まず、第1の実施の形態を図1ないし図4を参照して説明する。

【0015】図1および図2に示すように、透明基板として絶縁性のガラス基板1上にアンダーコート膜2が形成され、このアンダーコート膜2上の一部に、光学濃度



3

OD1 が1程度で膜厚1000オングストロームの非晶質シリコン膜3および非晶質シリコン膜の光電変換層4が形成され、これら非晶質シリコン膜3および光電変換層4上には膜厚4000オングストロームの窒化珪素膜の絶縁膜5、6が形成され、絶縁膜5上には水素を離脱した膜厚500オングストロームの多結晶シリコン膜の活性層7が形成されている。そして、これらの上面には、膜厚1000オングストロームの酸化膜のゲート絶縁膜8が形成されている。

【0016】また、非晶質シリコン膜3および絶縁膜5上には、ほぼ中央にゲート電極11が形成されるとともに、このゲート電極11と一体の走査線12が形成され、光電変換層4および絶縁膜6上には、ほぼ中央に走査線12と一体のゲート電極13が形成されている。さらに、非晶質シリコン膜3および絶縁膜5上と、光電変換層4および絶縁膜6との間のゲート絶縁膜8上には、膜厚2500オングストロームのモリブデンタンゲン合金(MoW)の補助容量電極14および蓄積容量電極15が形成され、これら補助容量電極14および蓄積容量電極15を覆うように膜厚5000オングストロームの酸化膜の層間絶縁膜16が形成されている。

【0017】さらに、層間絶縁膜16の非晶質シリコン膜3および絶縁膜5上にはスルーホールを介して活性層7に接続されるソース電極21およびドレイン電極22が形成され、光電変換層4および絶縁膜6上にはソース電極23およびドレイン電極24が形成されている。また、層間絶縁膜16の補助容量電極14の上方には、ITO(IndiumTin Oxide)の画素電極25が形成され、蓄積容量電極15の上方にはドレイン電極24に接続された上部電極26が形成されている。そして、非晶質シリコン膜3および絶縁膜5上にはn型の表示用の多結晶シリコンの薄膜トランジスタ27が形成され、光電変換層4および絶縁膜6上には光電変換素子としてのn型の受光用の非晶質シリコンの薄膜トランジスタ28が形成されている。また、補助容量電極14および画素電極25間には補助容量29が形成され、蓄積容量電極15および上部電極26間には蓄積容量30が形成されている。

【0018】さらに、ドレイン電極22は走査線12に対して直交する方向に配設された上層のMoと下層のAlの2層構造の第1の信号線31と一体に形成され、ドレイン電極22は走査線12に対して直交するとともに第1の信号線31に対して平行に、同様に、膜厚1500オングストロームの上層のMoと下層の膜厚4500オングストロームのAlの2層構造の第2の信号線32と一体に形成されている。すなわち、走査線12と第1の信号線31および第2の信号線32はマトリクス状に配設され、走査線12および第1の信号線31の交点に対応して表示用の薄膜トランジスタ27および画素電極25が、走査線12と第2の信号線32の交点に対応して受光用の薄膜トランジスタ28がそれぞれマトリクス状に配設されている。なお、第1の信

(3)

4

号線31および第2の信号線32と画素電極25を同層に配置しているため、第1の信号線31および第2の信号線32と画素電極25間に発生する容量結合を無視できる程度に間隔を隔てなければならず、通常の駆動方法においては、5 $\mu$ m程度の間隔が必要であり、したがって、この間隔に相当する面積の開口率を上げることはできない。そして、これらの上に膜厚2000オングストロームの窒化珪素膜の保護膜33が形成されて、マトリクスアレイ基板34を形成している。

【0019】さらに、図3に示すように、マトリクスアレイ基板34は、対向電極40を有する対向基板41が対向し、これらマトリクスアレイ基板34および対向基板41間に液晶42が挟持され、対向基板41のマトリクスアレイ基板34とは反対側にカラーフィルタ43が配設され、これらマトリクスアレイ基板34および対向基板41間には液晶42が挟持されている。また、マトリクスアレイ基板34および対向基板41のそれぞれ対向しない側には、入射側偏光板44および出射側偏光板45が設けられ、入射側偏光板44の背面側にはバックライト47が配設され、画像入力表示装置46が形成される。そして、マトリクスアレイ基板34側に液晶42を透過して照射するバックライト47を配設する。

【0020】次に、上記実施の形態の製造工程に従って説明する。

【0021】まず、アンダコート膜2が成膜されたガラス基板1上に、非晶質シリコン膜3および光電変換層4および絶縁膜5、6をプラズマケミカルベーパーディポジション(PECVD)法を用いて真空中において連続成膜する。その後、非晶質シリコン膜3、光電変換層4および絶縁膜5、6をCF<sub>4</sub>とO<sub>2</sub>との混合ガスを用いたケミカルドライエッチング(CDE)法を用いて、表示用の薄膜トランジスタ27、および、受光用の薄膜トランジスタ28が連続加工される。

【0022】次に、PECVD法により表示用の薄膜トランジスタ27の活性層7となる非晶質シリコン膜を成膜した後、500℃で熱処理して非晶質シリコン膜3および活性層7中に存在する水素を脱離する。そして、エキシマレーザアニール(ELA)法により活性層7となる非晶質シリコン膜を多結晶シリコン化する。なお、レーザの照射パワーは、150~400mJである。この範囲のパワーであれば、絶縁膜5上の非晶質シリコン膜をアブレーションを起こすことなく多結晶化することができ、絶縁膜5の下の非晶質シリコン膜3に悪影響も与えない。また、CDE法を用いて多結晶シリコン膜をアイランド状に加工して、多結晶シリコンの活性層7を形成する。

【0023】次に、常圧熱(AP)-CVD法によりゲート絶縁膜8を成膜する。

【0024】その後、走査線12、表示用の薄膜トランジスタ27のゲート電極11、受光用の薄膜トランジスタ28の

(4)

5

ゲート電極13、補助容量電極14および蓄積容量電極15となるMoWをスパッタ法により成膜した後、CDE法を用いて加工する。

【0025】次に、イオンドーピング法を用いてドナーとなるPH<sub>3</sub>を表示用の薄膜トランジスタ27および受光用の薄膜トランジスタ28のソース、ドレインとなる部分にそれぞれ注入する。なお、ゲート電極11の直下はゲート電極11、13がそれぞれセルフアライメントマスクとなるため不純物は注入されない。

【0026】さらに、層間絶縁膜16を成膜温度400℃で成膜する。この時、不純物は活性化され、表示用の薄膜トランジスタ27および受光用の薄膜トランジスタ28のドレイン領域およびソース領域が形成される。

【0027】次に、表示用の薄膜トランジスタ27および受光用の薄膜トランジスタ28のソース、ドレインとなる部分それぞれに、コンタクトホールを開孔した後、画素電極25となるITOをスパッタ法を用いて成膜し、ウェット法を用いて加工する。その後、MoおよびAlの2層構造の第1の信号線31を形成し、この第1の信号線31と表示用の薄膜トランジスタ27の活性層7を接続するドレイン電極22、画素電極25と表示用の薄膜トランジスタ27の活性層7を接続するソース電極21、第2の信号線32と受光用の薄膜トランジスタ28の絶縁膜6を接続するドレイン電極24、および、上部電極26と絶縁膜6を接続す\*

λは光の波長

T(λ)は各波長における透過率

$$\tilde{T}(\lambda) = \frac{\int_a^b T(\lambda) d\lambda}{b - a}$$

$$T(\lambda) = \frac{\int_a^b T(\lambda) V(\lambda) d\lambda}{b - a}$$

a, bはバックライトのスペクトルまたは可視光の波長端

$$a = 400 \text{ nm}, b = 700 \text{ nm}$$

V(λ)は標準比視感度

である。

【0030】次に、この画像入力表示装置46の電気回路を図4を参照して説明する。

6

\* るソース電極21となる部分をそれぞれスパッタ法を用いて成膜した後、ウェット法を用いて加工する。

【0028】次に、保護膜33をPE-CVD法で成膜し、マトリクスアレイ基板34を形成し、対向基板41を対向させて液晶42を挟持して、画像入力表示装置を形成する。

【0029】なお、ここで、光学濃度ODとは各々の光の波長に対する透過率の逆数の10を底とする対数をとったもので、

【数1】

$$OD = -\log_{10} T(\lambda)$$

また、OD1とはODにでてくる透過率をバックライトの光の波長領域における透過率の平均で置き換えたもので、

【数2】

$$OD_1 = -\log_{10} \tilde{T}(\lambda)$$

OD2とはODにでてくる透過率を、透過率に比視感度を掛けて可視光領域における平均をとったもので置き換えたもので、

【数3】

$$OD_2 = -\log_{10} T(\lambda)$$

のそれぞれの式で表せ、ただし、

【数4】

【0031】第1の信号線31にはスイッチ51が設けられこのスイッチ51はXドライバ52により制御され、走査線50 12にはYドライバ53が接続されている。そして、走査線

(5)

7

12および第1の信号線31の各交点近傍には、表示用の薄膜トランジスタ27が接続されている。この表示用の薄膜トランジスタ27は、ゲート電極11が走査線12に接続され、ソース電極21が第1の信号線31に接続され、ドレイン電極22が透明な画素電極25に接続されるとともに補助容量29に接続されている。

【0032】そして、ゲート電極11およびソース電極21間がON状態になると、ソース電極21およびドレイン電極22間に電流が流れ、補助容量29および画素電極25の電位が信号電位と等しくなり、液晶に信号電圧がかかり制御される。また、画素電極25には対向基板41の同様に透明な対向電極40が対向して配設され、画素電極25および対向電極40間には液晶42が配設されている。

【0033】また、第1の信号線31に対応して第2の信号線32が配設され、この第2の信号線32にはスイッチ54が設けられこのスイッチ54はXドライバ52により制御され、第2の信号線32は図示しない受光回路およびアンプ55が接続されるとともに、スイッチ56またはスイッチ57を介して電源58に接続または接地される。そして、走査線12および第2の信号線32の各交点近傍には、表示用の薄膜トランジスタ27にそれぞれ対応して受光用の薄膜トランジスタ28が配設されている。この受光用の薄膜トランジスタ28は、ゲート電極13が走査線12に接続され、ソース電極23が第2の信号線32に接続され、ドレイン電極24が蓄積容量30に接続されている。

【0034】さらに、59はライトペンで、このライトペン59は照射領域を絞っており、このライトペン59で表示画面を照射すると、照射された領域の蓄積容量30の電位が受光用の薄膜トランジスタ28のOFF状態における光リーク電流により変位し、ON状態で蓄積容量30の電位が第2の信号線32を介して受光回路で読み取られ、画面上で入力できる。

【0035】なお、たとえば図3に示すマトリクスアレイ基板34側にバックライト47を配置する構成に代えて、図5に示すように対向基板41側にバックライト47を配置してもよい。

【0036】次に、第2の実施の形態を図6を参照して説明する。

【0037】この図6に示す実施の形態は、図1に示す実施の形態において、ガラス基板1のアンダーコート膜2上に、非晶質シリコン膜3、光電変換層4、補助容量電極14および蓄積容量電極15が形成され、これら非晶質シリコン膜3、光電変換層4、補助容量電極14および蓄積容量電極15を含むガラス基板1のアンダーコート膜2上に膜厚4000オングストロームの活性層7および光電変換層4などを絶縁する絶縁用の酸化膜61が形成されたものである。

【0038】なお、酸化膜61は、AP-CVD法により成膜温度は400℃で成膜する。

【0039】また、第3の実施の形態を図7を参照して

8

説明する。

【0040】この図7に示す実施の形態は、図1に示す実施の形態において、表示用の薄膜トランジスタ27の上方の保護膜33の上部に感光性の有機材料であるアクリル樹脂製の遮光膜62を断面台形状に形成したものである。

【0041】さらに、第4の実施の形態を図8を参照して説明する。

【0042】この図8に示す実施の形態は、図2に示す実施の形態において、表示用の薄膜トランジスタ27の上方の保護膜33の上部に感光性の有機材料であるアクリル樹脂製の遮光膜62を断面台形状に形成したものである。

【0043】そして、図7および図8に示す第3および第4の実施の形態の場合には、バックライト47をマトリクスアレイ基板34側に位置させる。また、バックライトの光はマトリクスアレイ基板34側から照射されるが、表示用の薄膜トランジスタ27に入射される光は非晶質シリコン膜3により遮断される。

【0044】また、ライトペン59の光は対向基板41側から入射するが、表示用の薄膜トランジスタ27に入射する光は遮光膜62により遮断される。なお、このとき、遮光膜62の光学濃度OD2が2.5以上であれば、画素電極25の画素部の表示領域の隙間から漏れる光も遮断できる。

【0045】またさらに、第5の実施の形態を図9を参照して説明する。

【0046】この図9に示す実施の形態は、図1に示す実施の形態において、保護膜33上に膜厚3.0μmの塗布型感光性有機膜の層間絶縁膜63を形成し、この層間絶縁膜63にコンタクトホールを形成した状態で表面にITOの画素電極64が形成され、この画素電極64は画素電極25に接続されたものである。

【0047】そしてまた、第6の実施の形態を図10を参照して説明する。

【0048】この図10に示す実施の形態は、図2に示す実施の形態において、保護膜33上に膜厚3.0μmの塗布型感光性有機膜の層間絶縁膜63を形成し、この層間絶縁膜63にコンタクトホールを形成した状態で表面にITOの画素電極64が形成されたものである。

【0049】そして、図9および図10に示す実施の形態は、保護膜33にコンタクトホールを開口し、塗布型感光性有機膜の層間絶縁膜63を形成した後、塗布型感光性有機膜のパターンニングが終了した時点で層間絶縁膜63にコンタクトホールが形成される。

【0050】次に、ITOをスパッタ法を用いて成膜した後、ウェット法を用いて加工して、画素電極64を形成する。

【0051】これら図9および図10に示すように、画素電極64が第1の信号線31、第2の信号線32および走査線12の上層にオーバーラップさせることにより、表示性能および光入力の効率を向上できる。また、このような構

(6)

9

成とすることにより、表示用の薄膜トランジスタ27と第1の信号線31、第2の信号線32および走査線12と画素電極25との隙間からの光抜けを防止するための遮光膜は必要なくなる。

【0052】上記いずれの実施の形態でも、非晶質シリコンは簡単に成膜することができるばかりでなく、600℃程度のプロセスにも耐えうるので製造工程上の問題もなく、また、導電率が $10^{-6} (\Omega \text{ cm})^{-1}$ 以下であり、導電性についても問題がない。

【0053】また、非晶質シリコンは、多結晶シリコンや単結晶シリコンに比べて可視光に対する吸収係数が大きい。実験によれば、活性層が多結晶シリコンである多結晶シリコン薄膜トランジスタであれば、活性層の下に現実的に設けることのできる膜厚で、マトリクスアレイ基板34側から入射して多結晶シリコン薄膜トランジスタに照射されるバックライト47の光を、光リーク電流が表示性能に問題ないレベルとなるまで抑えるための遮光膜として用いることができる。たとえば200nitの輝度の表示画面を有する液晶表示装置において多結晶シリコン薄膜トランジスタの光リーク電流を表示性能に問題のないレベルにまで抑えるためにはOD1が0.7程度必要である。特に、脱素処理を施した非晶質シリコンは、さらに可視光に対する吸収係数が大きく、膜厚1000オングストロームでOD1が1程度を達成できる。

【0054】上記いずれの実施の形態においても、非晶質シリコン単層膜の非晶質シリコン膜3、光電変換層4、多結晶シリコン単層膜の活性層7、および絶縁膜5、6と遮光膜の非晶質シリコン膜3および光電変換層4との2層膜の加工方法はCDE法を用いて説明したが、ゲート絶縁膜8がカバレッジする形状が得られるのであれば、CDE法以外の加工方法であるプラズマエッチング法、または、リアクティブイオンエッチング法など他の方法を用いても同様の効果を得ることができる。さらに、非晶質シリコン膜3、光電変換層4および絶縁膜5、6をエッチングするエッチングガスについても、 $\text{CF}_2 + \text{O}_2$ 以外の組み合わせ、また、他のガスを用いて加工しても同様の効果を得ることができる。そして、膜厚を1000オングストロームとすることにより、表示用の薄膜トランジスタ27に照射される光を防ぐための遮光膜となる非晶質シリコン膜3を光電変換層4と同層とすることができ、遮光膜となる非晶質シリコン膜3と薄膜トランジスタ28の光電変換層4とを同時に形成できる。なお、光電変換層4の膜厚は500オングストロームから1000オングストローム程度が適している。

【0055】さらに、OD1が1程度の非晶質シリコン膜は、ライトペンからの光を遮蔽する膜として使うこともできる。まず、受光用の薄膜トランジスタ28が光電変換層4を有しているので、ライトペンの光の強度は多結晶シリコンの場合に比べて10分の1程度でよい。した

10

がって、表示用の薄膜トランジスタ27が多結晶シリコン薄膜トランジスタであるので、OD1が1程度の非晶質シリコン膜3で、ガラス基板1側から入射するライトペンからの光を抑えることができ、光リーク電流が表示性能に問題ないレベルになり、ライトペン入力も効率的にできるとともに、画像表示の性能の低下も防ぐことができる。

【0056】また、多結晶シリコン薄膜トランジスタは、高移動度であり、駆動回路も基板上に組み込める利点がある。

【0057】なお、非晶質シリコン膜を形成することは、受光素子を有さずバックライトを有する表示装置にも適用できる。

【0058】

【発明の効果】本発明によれば、薄膜トランジスタに遮光する非晶質シリコン膜と同一工程で形成することにより、製造工程を複雑化せず、非晶質シリコン膜は、多結晶シリコンや単結晶シリコンに比べて可視光に対する吸収係数が大きく、たとえばバックライトあるいは受光素子から照射される光を抑える遮光膜を薄くでき、低価格で光入力の効率、表示の性能を向上できる。

【図面の簡単な説明】

【図1】本発明の表示装置の第1の実施の形態の画素を示す断面図である。

【図2】同上平面図である。

【図3】同上マトリクスアレイ基板側にバックライトを位置させた場合を示す配置図である。

【図4】同上光画像入力表示装置の電気回路の模式図である。

【図5】同上対向基板側にバックライトを位置させた場合を示す配置図である。

【図6】同上第2の実施の形態の画素を示す断面図である。

【図7】同上第3の実施の形態の画素を示す断面図である。

【図8】同上第4の実施の形態の画素を示す断面図である。

【図9】同上第5の実施の形態の画素を示す断面図である。

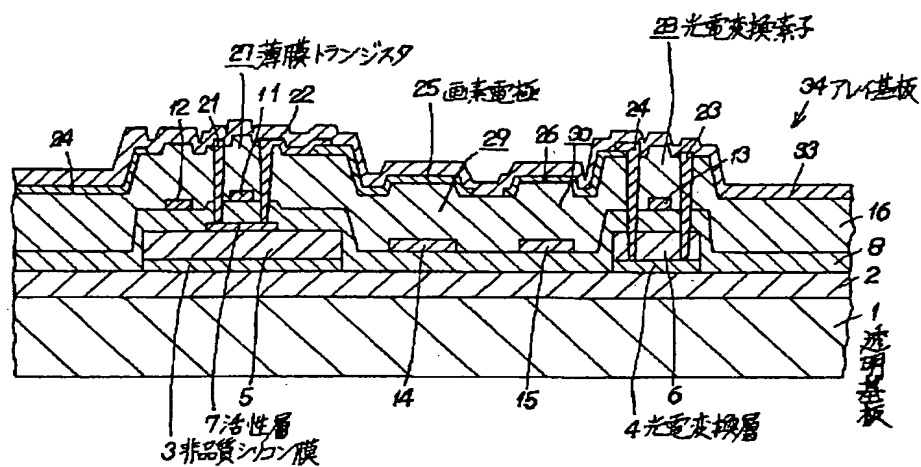
【図10】同上第6の実施の形態の画素を示す断面図である。

【符号の説明】

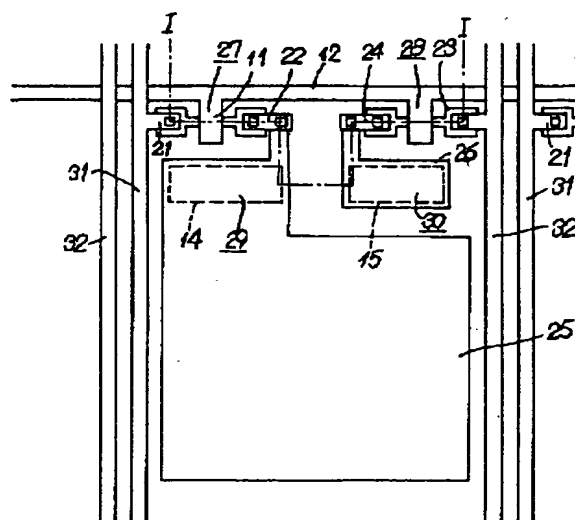
- 1 透明基板としてのガラス基板
- 3 非晶質シリコン膜
- 12 走査線
- 25, 94 画素電極
- 27 表示用の薄膜トランジスタ
- 28 光電変換素子としての受光用の薄膜トランジスタ
- 31, 32 信号線

(7)

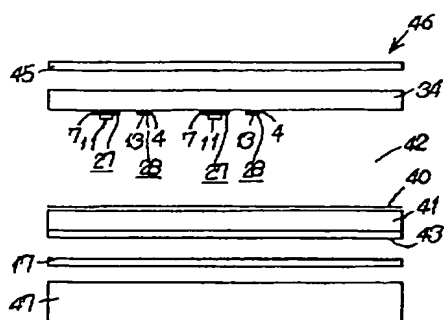
【图 1】



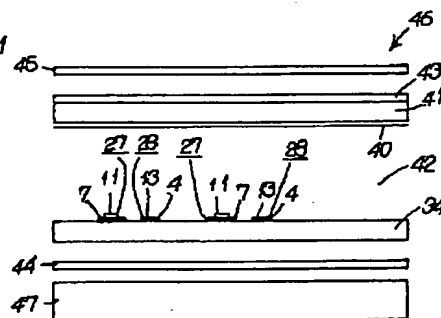
【図 2】



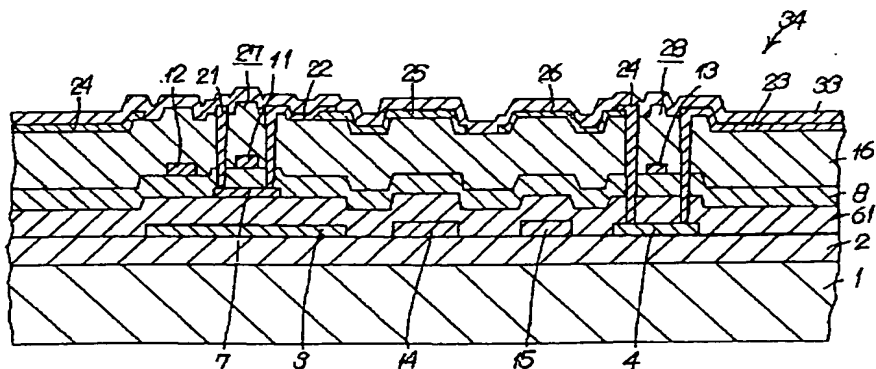
【図 5】



【図 3】

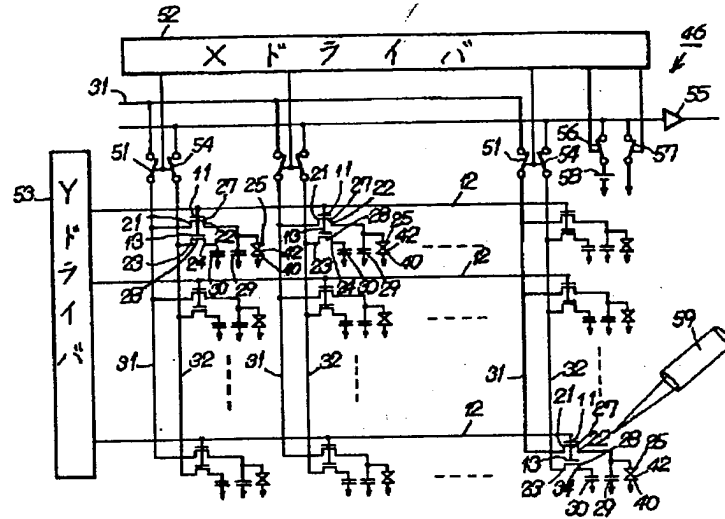


【図 6】

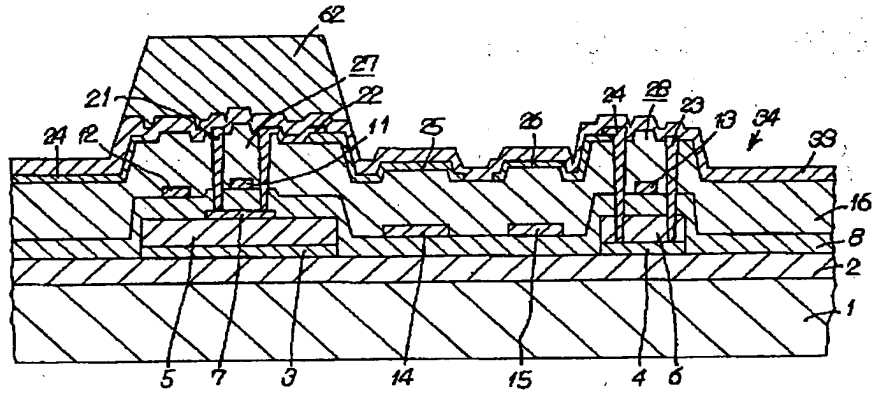


(8)

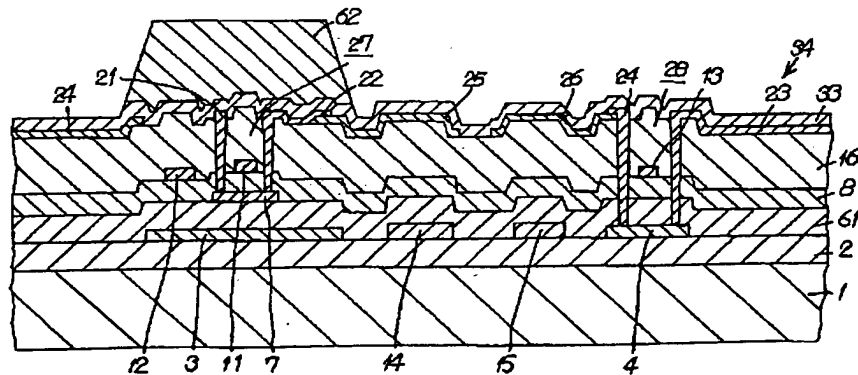
【図4】



【図 7】

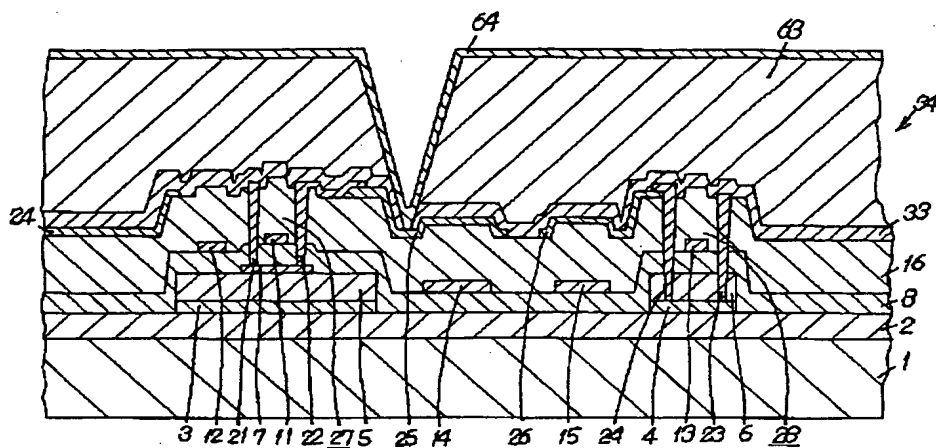


【図 8】

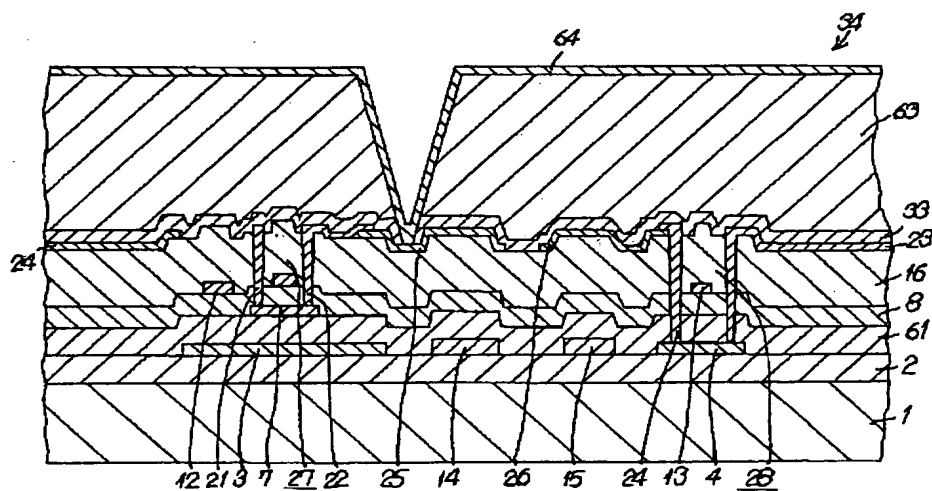


(9)

【図9】



【図10】



**THIS PAGE BLANK (USPTO)**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**